

## MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP3094431  
Publication date: 1991-04-19  
Inventor(s): TANAKA MASATO; others: 01  
Applicant(s): SHINKO ELECTRIC IND CO LTD  
Requested Patent:  JP3094431  
Application Number: JP19890231134 19890906  
Priority Number(s):  
IPC Classification: H01L21/50; H01L21/56  
EC Classification:  
Equivalents: JP2781018B2

### Abstract

PURPOSE: To easily manufacture products corresponding to uses of various products and to reduce the number of production processes by a method wherein a face on one side, on which a semiconductor chip has been mounted, of a metal base is resin-sealed collectively inclusive of the semiconductor chip, bonding wires and circuit patterns and only the metal base is etched and removed.  
CONSTITUTION: A metal base 10 is plated with gold; required circuit patterns are formed of a gold-plated layer. A semiconductor chip 14 is bonded to a die bonding part 12; circuit patterns 13 and the semiconductor chip 14 are wire-bonded; the semiconductor chip 14, a circuit component 16, the circuit patterns 13 and the like are resin-sealed. Then, the metal base 10 is etched and removed as a whole. Consequently, the semiconductor chip 14, the circuit component 16 and the like are resin-sealed; parts of the gold-plated layer such as the die bonding part 12, the circuit patterns 13 and the like are exposed. Thereby, a production operation can be made easy and the number of production processes can be reduced.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2781018号

(45)発行日 平成10年(1998)7月30日

(24)登録日 平成10年(1998)5月15日

(51)Int.Cl.<sup>9</sup>  
H 0 1 L 23/12  
25/00

識別記号

F I  
H 0 1 L 23/12  
25/00

L  
B

請求項の数3(全4頁)

(21)出願番号 特願平1-231134  
(22)出願日 平成1年(1989)9月6日  
(65)公開番号 特開平3-94431  
(43)公開日 平成3年(1991)4月19日  
審査請求日 平成8年(1996)8月30日

(73)特許権者 99999999  
新光電気工業株式会社  
長野県長野市大字栗田字舍利田711番地  
(72)発明者 田中 正人  
長野県長野市大字栗田字舍利田711番地  
新光電気工業株式会社内  
(72)発明者 深瀬 克哉  
長野県長野市大字栗田字舍利田711番地  
新光電気工業株式会社内  
(74)代理人 弁理士 細賀 隆夫 (外1名)  
審査官 川真田 秀男

(54)【発明の名称】 半導体装置およびその製造方法

1

(57)【特許請求の範囲】

【請求項1】ダイボンディング部の一方の面に半導体チップが接合され、前記ダイボンディング部の周囲に設けられた回路パターンの一方の面と前記半導体チップとがワイヤボンディングによって電気的に接続され、前記回路パターンの一方の面側に、前記半導体チップ、ボンディングワイヤおよび回路パターンが封止樹脂により一体に封止され、前記回路パターンおよび前記ダイボンディング部の他方の面側が、外部接続用の端子部等の所要個所を除いて、電気的絶縁性を有する保護コーティングによって被覆されていることを特徴とする半導体装置。

【請求項2】金属ベース上に金属層により回路パターンを形成する工程と、

10

前記金属ベースの回路パターンが形成された一方の面側に半導体チップを接合する工程と、該半導体チップと前記回路パターンとをワイヤボンディングによって電気的に接続する工程と、前記金属ベースに半導体チップが搭載された一方の面側に、前記半導体チップ、ボンディングワイヤおよび回路パターンを一体に樹脂封止する工程と、前記金属ベースを除去する工程と、前記回路パターンの露出する面側を、外部接続用の端子部等の所要個所を除いて、電気的絶縁性を有する保護コーティングによって被覆する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】金属ベース上に半導体チップを接合する工程と、該半導体チップと前記金属ベース上のボンディング部と

2

をワイヤボンディングによって電気的に接続する工程と、前記金属ベースの半導体チップが搭載された一方の面側に、前記半導体チップ、ボンディングワイヤおよびボンディング部を一体に樹脂封止する工程と、前記金属ベースの所要部位をエッチングして回路パターンを形成する工程と、該回路パターンの露出する面側を、外部接続用の端子部等の所要個所を除いて、電気的絶縁性を有する保護コーティングによって被覆する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

(産業上の利用分野)

本発明は半導体チップ及所要の回路部品等が一体的に樹脂封止されて提供される半導体装置およびその製造方法に関する。

(従来技術)

半導体装置は電子装置をはじめきわめて多種類の製品にひろく用いられており、ICカードといった小形商品にも利用されるようになっている。

これら製品で用いられる半導体装置の実装方式としては、パッケージに半導体チップを搭載してパッケージごと回路基板に実装するパッケージ方式と、回路基板に半導体チップをじかに接続するペアチップ方式がある。

前記のパッケージ方式の場合は、パッケージ内に半導体チップが封止されて保護されているので、取り扱いがきわめて容易であり、実装が容易にでき、また耐環境性に優れている等の特徴がある。

これに対して、ペアチップ方式は回路基板にじかに半導体チップを接続するから、小面積で実装でき、高密度実装が可能になるといいる特徴がある。

(発明が解決しようとする課題)

しかしながら、上記ペアチップ方式は装置の小型化が図れるものの、半導体チップが露出するので耐環境性に劣るという問題は避けられない。

そこで、本発明は上記問題点を解消すべくなされたものであり、その目的とするところは、小型化が図れると共に、耐環境性にも優れる半導体装置およびその製造方法を提供するにある。

(課題を解決するための手段)

本発明は上記目的を達成するため次の構成を備える。すなわち、本発明に係る半導体装置は、ダイボンディング部の一方に面に半導体チップが接合され、前記ダイボンディング部の周囲に設けられた回路パターンの一方の面と前記半導体チップとがワイヤボンディングによって電気的に接続され、前記回路パターンの一方の面側に、前記半導体チップ、ボンディングワイヤおよび回路パターンが封止樹脂により一体に封止され、前記回路パターンおよび前記ダイボンディング部の他方の面側が、外部接続用の端子部等の所要個所を除いて、電気的絶縁

性を有する保護コーティングによって被覆されていることを特徴としている。

半導体チップ、回路パターン等が一体に樹脂封止されていることさら小型化が達成できると共に、回路パターン等の他方の面側も、端子部等の所要個所を除いて保護コーティングによって被覆されているから耐環境性に優れる。

また本発明に係る半導体装置の製造方法では、金属ベース上に金属層により回路パターンを形成する工程と、前記金属ベースの回路パターンが形成された一方の面側に半導体チップを接合する工程と、該半導体チップと前記回路パターンとをワイヤボンディングによって電気的に接続する工程と、前記金属ベースの半導体チップが搭載された一方の面側に、前記半導体チップ、ボンディングワイヤおよび回路パターンを一体に樹脂封止する工程と、前記金属ベースを除去する工程と、前記回路パターンの露出する面側を、外部接続用の端子部等の所要個所を除いて、電気的絶縁性を有する保護コーティングによって被覆する工程とを含むことを特徴としている。

この方法によれば小型で耐環境性に優れる半導体装置を容易に提供できる。

さらに本発明に係る半導体装置の製造方法では、金属ベース上に半導体チップを接合する工程と、該半導体チップと前記金属ベース上のボンディング部とをワイヤボンディングによって電気的に接続する工程と、前記金属ベースの半導体チップが搭載された一方の面側に、前記半導体チップ、ボンディングワイヤおよびボンディング部を一体に樹脂封止する工程と、前記金属ベースの所要部位をエッチングして回路パターンを形成する工程と、該回路パターンの露出する面側を、外部接続用の端子部等の所要個所を除いて、電気的絶縁性を有する保護コーティングによって被覆する工程とを含むことを特徴としている。

本発明方法では、小型で耐環境性に優れる半導体装置を容易に提供でき、特に金属ベースをそのまま回路パターンに形成できるからコストの低減化も図れる。

(実施例)

以下本発明の好適な実施例を添付図面に基づいて詳細に説明する。

[第1実施例]

第1図(a)～(e)は本発明に係る半導体装置の製造方法を示す説明図である。

第1図(a)は金属ベース10に金めっきを施し、金めっき層によって所要の回路パターンを形成する工程を示す。なお、金属ベース10は薄平板状に形成した金属板であるが、後工程においてエッチング除去する。したがって、金属ベース10にはエッチングによって溶解除去しやすい金属、たとえば銅等を用いる。

11は金属ベース10上に所定の回路パターンにしたがって設けたレジストパターンである。12は金めっきによっ

て形成されたダイボンディング部、13は回路パターンである。

レジストパターン11を除去した後、第1図(b)に示すようにダイボンディングペーストあるいは金シリコン共晶合金等により、ダイボンディング部12に半導体チップ14を接合し、回路パターン13と半導体チップ14とをワイヤボンディングする。15はボンディングワイヤである。

また、所要の回路部位16を回路パターン13の所定位置に接続する。

次に、半導体チップ14および回路部品16、回路パターン13等を樹脂封止する(第1図(c))。17は封止樹脂である。なお、この樹脂封止の際には図のように金属ベース10の片面側のみを封止する。

次に、金属ベース10全体をエッティングして除去する。金属ベース10上にあらかじめ設けておいた金めっき層はこのエッティング処理によっては除去されないから、金めっき層、すなわちダイボンディング部12、回路パターン13はそのまま封止樹脂17に接合されて残る。こうして、第1図(d)に示す半導体装置が得られる。

なお、回路パターン13等は金めっき層に限らず、上記製造方法からわかるように、金属ベース10をエッティング除去する際に侵されない金属、すなわち非エッティング金属層によって形成すればよい。

上記方法によって得られた半導体装置は半導体チップ14および回路部品16等が樹脂封止され、ダイボンディング部12および回路パターン13等に金めっき層部分が露出している。そこで、第1図(e)のように、外部接続用の端子部18等を除いて保護コーティング19によって回路パターン13等を被覆して保護するようにする。

#### [第2実施例]

第2図(a)～(e)は半導体装置の他の製造方法を示す説明図である。

図で10は金属ベースで、上記例と同様に銅の薄平板を用いる。第2図(a)は金属ベース10の所定位置に半導体チップ14を接合した状態である。半導体チップ14はダイボンディングペーストを用いる方法、あるいは金シリコン共晶合金による方法等によって接合できる。金シリコン共晶合金による場合はあらかじめ金属ベース10に金めっきを施す。

次に、第2図(b)に示すように、半導体チップ14と金属ベース10とをワイヤボンディングする。15はボンディングワイヤである。ボンディングワイヤ15が接合される金属ベース10のボンディング部20には、金めっき等を施して確実なボンディング性が得られるようにする。

なお、回路部品16も金属ベース10の所定位置に接合する。

次に、前記半導体チップ12および回路部品20等を樹脂封止する。この樹脂封止の際には、半導体チップ14が搭載されている金属ベース10の片面側のみ樹脂封止し、前

記ボンディングワイヤ15等もすべて封止する(第2図(c))。この状態で、封止体の下面に金属ベース10が露出する。

次に、金属ベース10の下面にレジストを塗布し、露光してレジストパターン21を形成する(第1図(d))。このレジストパターン21は金属ベース10をエッティングすることによって、ダイボンディング部22、回路パターン23を形成するためのものである。

したがって、レジストパターン21は前記ボンディング部20および回路部品16等の配置位置に合わせて形成する必要がある。

金属ベース10をエッティングしてダイボンディング部22および回路パターン23を形成した後、回路パターン23を保護するための保護コーティング19を施す。保護コーティング19は外部接続用の端子部18を露出させてコーティングするものとし、この後、端子部18に金めっきを施して端子部18を被覆する(第2図(e))。

なお、ダイボンディング部22および回路パターン23の耐環境性を得るために、上記方法とは逆に、ダイボンディング部22および回路パターン23に金めっきを施してから保護コーティング19を施すようにしてもよい。

また、上記方法で用いる金属ベース10としては電解銅箔が有効に使用できる。この電解銅箔はその表面が複雑な凹凸形状を有する粗面として形成されるもので、粗面を封止樹脂との接合側とすることにより、アンカー効果によって回路パターン23と強固に接合させることができる。この場合、金属ベース10のワイヤボンディング部20にはあらかじめ平滑処理および金めっき等を施しておくとよい。

こうして、半導体チップおよび所要な回路部品等が一體的に封止された半導体装置が得られる。

上記実施例で得られた半導体装置は、各種製品、用途に応じて所要の回路パターンを形成し、所要の回路部品を搭載することにより、必要な機能を有するモジュールとして設計して製造でき、各種機器に搭載して効果的に利用することができる。また、第1図、第2図に示したように半導体チップは回路パターンに接続されているだけで、回路基板を要しないから、装置の小形化、薄形化にきわめて効果的である。これによって、ICカードのような小形商品にも容易に応用利用することが可能となる。

また、上記製造方法ではワイヤボンディング法によっているから、製造上の信頼性が高いと共に、製造も容易であるという利点がある。さらに、リードフレームを用いる場合等とくらべて、回路パターンを高密度に形成することができ、高集積化された半導体チップを容易に搭載することが可能となる。

以上、本発明について好適な実施例を挙げて種々説明したが、本発明はこの実施例に限定されるものではなく、発明の精神を逸脱しない範囲内で多くの改変を施し

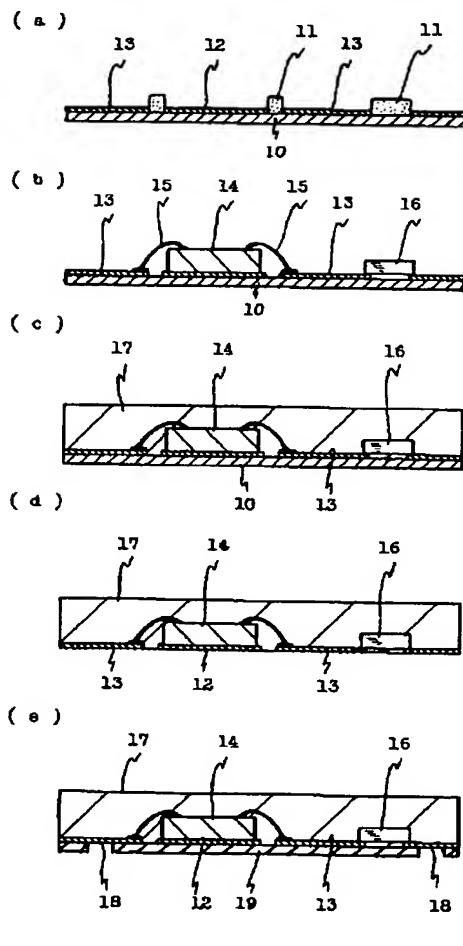
得るのはもちろんのことである。

(発明の効果)

本発明に係る半導体装置では、半導体チップ、回路パターン等が一体に樹脂封止されていることから小型化が達成できると共に、回路パターン等の他方の面側も、端子部等の所要個所を除いて保護コーティングによって被覆されているから耐環境性に優れる。

また本発明方法では、小型で耐慣用性に優れる半導体装置を容易に提供でき、特に金属ベースをそのまま回路パターンに形成すれば、コストの低減化も図れる。

【第1図】

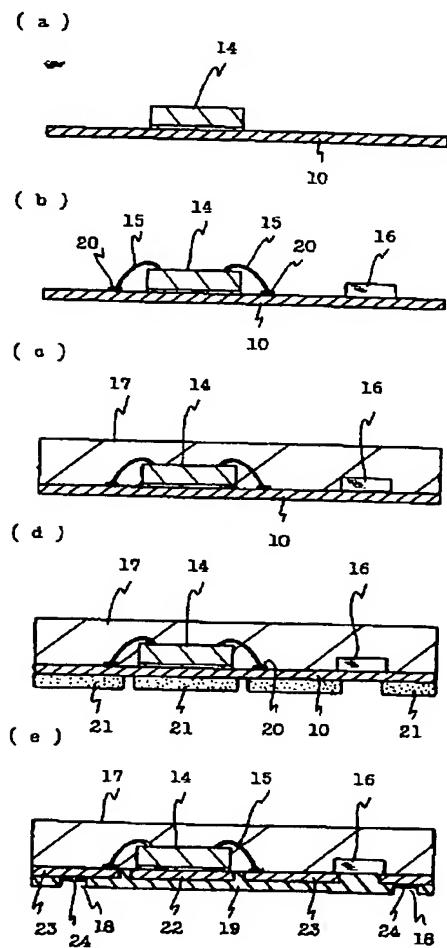


【図面の簡単な説明】

第1図は本発明に係る半導体装置の製造方法を示す説明図、第2図は他の製造方法を示す説明図である。

10……金属ベース、11……レジストパターン、12……ダイボンディング部、13……回路パターン、14……半導体チップ、15……ボンディングワイヤ、16……回路部品、17……封止樹脂、18……端子部、19……保護コーティング、20……ボンディング部、21……レジストパターン、22……ダイボンディング部、23……回路パターン、24……金めっき。

【第2図】



Mr. Yoshii's letter

This is Yoshii.

Thank you for your feedback regarding the claims of the new continuation application that we intend to file.

I have reviewed the claims you proposed and I would like to make a few comments.

1. Shinko Electric Industries Co.'s JP 2,781, 018 discloses that the insulating film is removed at predetermined locations as electrical contacts. Also, this patent does not discuss the concept of traces or any associated figures. Therefore, my proposal is to change the claims so that they disclose that the traces that exist in the back surface of the package are covered by an insulating film. This is the main point I want to claim. The effect of this invention is that by covering the traces with an insulating film, short circuit with the wiring pattern of the mounting board can be prevented. I believe this is also inventive matter.
2. We would like to broaden the scope of the claims which now are limited to a hybrid integrated circuit, so that they may also include single semiconductor devices, multiple semiconductor devices as shown in Figs . 10-18 and the hybrid integrated device (CSP, SMD) as shown in Fig. 3. (Refer to page 19, lines 14~, page 28, lines 14~, page 29, lines 25~)
3. Dependent claim 3 is not needed.
4. Dependent claim 5 is not needed.
5. Broaden the scope of claim 8, "forming conductive patterns...insulating layer", so that the mounting board may include a metal board, a printed board, etc. Metal board needs to be provided with an insulating layer, while the printed circuit board is insulating material itself. My proposal is "form conductive patterns on a surface which is at least the surface covered by the insulating layer(materials)", but feel free to modify this as you think it would suit best.

The other claims are acceptable, adding the modifications as described above.

If you think there is need for more extensive discussion we are available for a conference call or the like.

Regards,

Yoshii